

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



Ministero delle Attività Produttive

Direzione Generale per lo Sviluppo Produttivo e la Competitività

Ufficio Italiano Brevetti e Marchi

Ufficio G2

Autenticazione di copia di documenti relativi alla domanda di brevetto per: **Invenzione Industriale**

N. **TO2002 A 001035**



*Si dichiara che l'unita copia è conforme ai documenti originali
depositati con la domanda di brevetto sopraspecificata, i cui dati
risultano dall'accluso processo verbale di deposito.*

21 GEN. 2004

Roma, li

IL DIRIGENTE

Paola Giuliano

D.ssa Paola Giuliano

AL MINISTERO DELL'INDUSTRIA DEL COMMERCIO E DELL'ARTIGIANATO

MODULO A

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITÀ AL PUBBLICO

marca
da
bollo

A. RICHIEDENTE (I)

1) Denominazione STMICROELECTRONICS S.R.L. N. SR
 Residenza AGRATE BRIANZA (MI) codice 00951900968
 2) Denominazione _____
 Residenza _____ codice _____

B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome e nome CERBARO Elena e altri cod. fiscale _____
 denominazione studio di appartenenza STUDIO TORTA S.r.l.
 via Viotti n. 0009 città TORINO cap 10121 (prov) TO

C. DOMICILIO ELETTIVO destinatario

via _____ n. _____ città _____ cap _____ (prov) _____

D. TITOLO

classe proposta (sez/cl/scf) _____

gruppo/sottogruppo _____

DISPOSITIVO DI MEMORIA NON VOLATILE A LETTURA E SCRITTURA SIMULTANEEANTICIPATA ACCESSIBILITÀ AL PUBBLICO: SI ☐ NO ☐

SE ISTANZA: DATA _____

N° PROTOCOLLO _____

E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) BELLINI Andrea 3) MAGNAVACCA Alessandro
 2) SALI Mauro 4) LISI Carlo

F. PRIORITÀ

nazione o organizzazione

tipo di priorità

numero di domanda

data di deposito

allegato
S/R

1) _____
 2) _____

SCIoglimento RISERVE

Data

N° Protocollo

G. CENTRO ABILITATO DI RACCOLTA COLTURE DI MICRORGANISMI, denominazione

H. ANNOTAZIONI SPECIALI

CAMERA DI CO
INDUSTRIA ART
DI TORINO

DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1) 2 PROV n. pag. 20 riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare) _____
 Doc. 2) 2 PROV n. tav. 03 disegno (obbligatorio se citato in descrizione, 1 esemplare) _____
 Doc. 3) 1 RIS lettera d'incarico, procura o riferimento procura generale _____
 Doc. 4) 1 RIS designazione inventore _____
 Doc. 5) 1 RIS documenti di priorità con traduzione in italiano _____
 Doc. 6) 1 RIS autorizzazione o atto di cessione _____
 Doc. 7) 1 nominativo completo del richiedente _____

8) attestati di versamento, totale Euro Duecentonovantuno/80

obbligatorio

COMPILATO IL 29 11 2002 FIRMA DEL (I) RICHIEDENTE (I)CONTINUA S/NO N.OCERBARO ElenaDEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA S/NO S.I.CAMERA DI COMMERCIO IND. ART. AGR. DI TORINOTO 2002A001035codice 01

VERBALE DI DEPOSITO

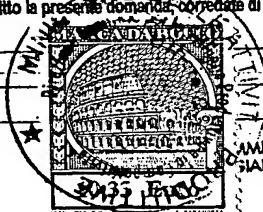
NUMERO DI DOMANDA

Reg. A

L'anno duemiladue il giorno ventinove del mese di Novembreil (I) richiedente (I) sopraindicato (I) ha (hanno) presentato a me sottoscritto la presente domanda corredata di n. 0.0 fogli aggiuntivi per la concessione del brevetto sopraindicato.

I. ANNOTAZIONI VARIE DELL'UFFICIO ROGANTE

IL DEPOSITANTE

STUDIO TORTA S.r.l.AMERCO
IANATO E AGRICOLTURA

L'UFFICIALE ROGANTE

Mirella CAVALLARI

RIASSUNTO INVENZIONE CON DISEGNO PRINCIPALE

NUMERO DOMANDA

REG. A

DATA DI DEPOSITO 29/11/2002

NUMERO BREVETTO

TO 2002 A 001035

DATA DI RILASCIO

A. RICHIEDENTE (I)

Denominazione

STMICROELECTRONICS S.R.L.

Residenza

AGRATE BRIANZA (MI)

D. TITOLO

DISPOSITIVO DI MEMORIA NON VOLATILE A LETTURA E SCRITTURA SIMULTANEE

Classe proposta (sez./cl./scl/)

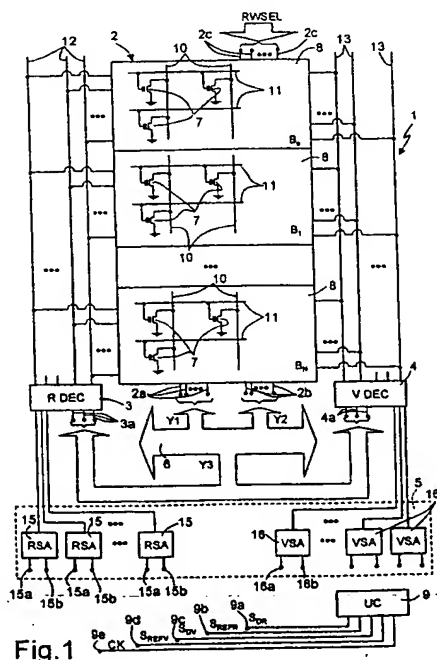
(gruppo/sottogruppo)

L. RIASSUNTO

Un dispositivo di memoria non volatile a lettura e scrittura simultanee include una matrice di memoria (2), avente una pluralità di celle (7) organizzate in banchi di memoria (8), e una pluralità di primi amplificatori di rilevamento (15) e di secondi amplificatori di rilevamento (16). Il dispositivo comprende, inoltre, una pluralità di selettori R/W (20), associati a rispettivi insiemi di celle (7) e colleganti le celle (7) dei rispettivi insiemi di celle (7) alternativamente ai primi amplificatori di rilevamento (15) e ai secondi amplificatori di rilevamento (16).

Figura 1

M. DISEGNO

CAMERA DI COMMERCIO
INDUSTRIA ARTIGIANATO E AGRICOLTURA
DI TORINO

D E S C R I Z I O N E

del brevetto per invenzione industriale

di STMICROELECTRONICS S.R.L.

di nazionalità italiana,

con sede a 20041 AGRATE BRIANZA (MILANO) - VIA C. OLIVETTI, 2

Inventori: BELLINI Andrea, SALI Mauro, MAGNAVACCA Alessandro, LISI Carlo

*** *** ***

La presente invenzione si riferisce ad un dispositivo di memoria non volatile a lettura e scrittura simultanee.

Per ottimizzare le prestazioni di lettura/scrittura dei dispositivi di memoria non volatile, è estremamente importante la possibilità di effettuare operazioni di lettura/scrittura in parallelo su più celle. Sono note diverse soluzioni che consentono di aumentare il numero di celle di memoria che vengono selezionate contemporaneamente per essere lette oppure scritte (lettura/scrittura a pagine oppure "burst mode"); su tutte le celle selezionate viene di solito effettuato lo stesso tipo di operazione, o lettura o scrittura.

Durante le fasi di lettura, in pratica, le celle selezionate vengono collegate a rispettivi amplificatori di rilevamento ("sense amplifiers"), che confrontano

CERTARO Elena
Iscrizione Albo nr 426/1990

le tensioni di soglia di tali celle con le tensioni di soglia di rispettive celle di riferimento.

Nelle operazioni di scrittura, che possono prevedere la programmazione o la cancellazione delle celle selezionate, viene eseguito almeno una volta un ciclo comprendente due fasi. Inizialmente, le celle selezionate vengono sottoposte a prefissate tensioni e/o correnti di polarizzazione, in modo che le loro tensioni di soglia vengano modificate. Quindi, viene eseguita una lettura, per verificare il valore effettivamente raggiunto dalle tensioni di soglia. Se tale valore è insufficiente, il ciclo viene ripetuto; inoltre, nel caso delle memorie multilivello, è comunque necessario eseguire più cicli.

Le operazioni di scrittura non possono essere in genere eseguite contemporaneamente alle operazioni di lettura. Infatti, nella fase di verifica delle tensioni di soglia, le celle devono essere collegate agli amplificatori di rilevamento, che quindi non sono disponibili per leggere altre celle. Inoltre, la fase di verifica viene eseguita in modo sincrono con un segnale di temporizzazione interno dei dispositivi di memoria, mentre la lettura ordinaria è asincrona. È quindi evidente che anche i segnali di pilotaggio e di riferimento sono diversi nel caso della verifica e nel caso del-

CERBARO Elena
Iscrizione Albo nr 426/BW

la lettura.

Per superare gli inconvenienti descritte, sono state proposte memorie non volatili con architetture che consentono di effettuare simultaneamente operazioni di lettura su un primo gruppo di celle e operazioni di scrittura su un secondo gruppo di celle ("dual working"). Secondo tali soluzioni, in pratica, la matrice di memoria viene suddivisa in sezioni e a ciascuna sezione viene associato un insieme (banco) di amplificatori di rilevamento e un circuito decodificatore di colonna. I banchi di amplificatori di rilevamento sono fra loro indipendenti e perciò possono essere pilotati simultaneamente in modi diversi. Più precisamente, mentre un primo banco di amplificatori di rilevamento viene pilotato in modo sincrono (verifica), un secondo banco può essere pilotato in modo asincrono (lettura). In questo modo, quindi, è possibile eseguire simultaneamente operazioni di lettura e scrittura, purché vengano selezionate celle appartenenti a sezioni della memoria distinte.

Anche questa soluzione presenta evidenti limiti, in quanto la matrice di memoria non può essere suddivisa in un elevato numero di sezioni. Infatti, dato che a ciascuna sezione deve essere associato un rispettivo banco di amplificatori di rilevamento, il frazionamento

CERBARO Elena
(Iscrizione Albo nr 426/BW)

della memoria comporta anche un aumento dell'ingombro complessivo del dispositivo; quanto più la memoria viene frazionata, tanto maggiore è l'ingombro. Di conseguenza, le matrici di memoria comprendono normalmente due o al più quattro sezioni. D'altra parte, il basso frazionamento della memoria rende relativamente poco frequente e quindi scarsamente efficace lo sfruttamento dell'accesso simultaneo in lettura e scrittura. In qualunque caso, infatti, non è possibile effettuare simultaneamente operazioni di lettura e scrittura su celle appartenenti alla stessa sezione.

Scopo della presente invenzione è realizzare un dispositivo di memoria, che sia privo delle limitazioni descritte.

Secondo la presente invenzione viene realizzato un dispositivo di memoria non volatile a lettura e scrittura simultanee, come definito nella rivendicazione 1.

Per una migliore comprensione dell'invenzione, ne vengono ora descritte alcune forme di realizzazione, a puro titolo di esempio non limitativo e con riferimento ai disegni allegati, nei quali:

- la figura 1 illustra uno schema a blocchi semplificato di un dispositivo di memoria secondo una ma forma di realizzazione della presente invenzione.

- la figura 2 illustra uno schema a blocchi

CERBARO Elena
Iscrizione Albo nr 426/BAW



dettagliato di una parte dello schema a blocchi di figura 1; e

- la figura 3 è uno schema a blocchi semplificato di un dispositivo di memoria, in accordo a una seconda forma di realizzazione della presente invenzione.

Con riferimento alla figura 1, è indicato nel suo complesso con 1 un dispositivo di memoria non volatile comprendente una matrice di memoria 2, un decodificatore di colonna di lettura 3, un decodificatore di colonna di verifica 4, un circuito di lettura 5, un bus indirizzi 6 e un'unità di controllo 9.

La matrice di memoria 2 comprende una pluralità di celle 7, suddivise in una pluralità di banchi di memoria 8 e organizzate su righe e colonne; ad esempio, i banchi di memoria 8 sono sedici. Più in dettaglio, all'interno di uno stesso banco di memoria 8, celle 7 disposte su una stessa colonna hanno rispettivi terminali di pozzo collegati a una stessa linea di bit locale 10 e celle disposte su una stessa riga hanno rispettivi terminali di porta collegati a una stessa linea di parola 11. Inoltre, ciascuno dei banchi di memoria 8 ha un primo gruppo di uscite, collegate al decodificatore di colonna di lettura 4 attraverso rispettive linee di bit globali di lettura 12; e un secondo gruppo di uscite, collegate al decodificatore di colonna di verifica

4 attraverso rispettive linee di bit globali di verifica 13 (nella forma di realizzazione qui descritta, il numero di linee di bit globali di lettura 12 è pari al numero di linee di bit globali di verifica 13). Le linee di parola 11 sono invece collegate a un decodificatore di riga, di tipo noto e qui per semplicità non illustrato.

La matrice di memoria 2 ha inoltre primi e secondi ingressi di indirizzamento 2a, 2b, collegati al bus indirizzi 6 e riceventi una pluralità di segnali di indirizzamento di primo livello Y1 e, rispettivamente, di segnali di indirizzamento di secondo livello Y2; e una pluralità di ingressi di selezione lettura/scrittura 2c, riceventi segnali di selezione lettura/scrittura $RWSEL_0, RWSEL_1, \dots, RWSEL_K$, che indicano la modalità operativa di accesso alle celle 7. In particolare, K è il numero di ingressi di selezione lettura/scrittura 2c ed è uguale al numero di linee di bit globali di lettura 12.

Il circuito di lettura 5 comprende una pluralità di amplificatori di rilevamento di lettura 15 e una pluralità di amplificatori di rilevamento di verifica 16. In particolare, gli amplificatori di rilevamento di lettura 15 sono collegati a rispettive uscite del decodificatore di lettura 3, mentre gli amplificatori di

CERBARO Elena
Iscrizione Albo nr 426/BW

rilevamento di verifica 16 sono collegati a rispettive uscite del decodificatore di verifica 4. Inoltre, il decodificatore di colonna di lettura 3 e il decodificatore di colonna 4 hanno rispettivi ingressi 3a, 4a collegati al bus dati 6 e riceventi una pluralità di segnali di indirizzamento di terzo livello Y3. Inoltre, l'unità di controllo 9 ha uscite di pilotaggio lettura 9a, collegate a rispettivi ingressi di pilotaggio 15a degli amplificatori di rilevamento di lettura 15 e fornenti segnali di pilotaggio lettura S_{DR} ; uscite di riferimento lettura 9b, collegate a rispettivi ingressi di riferimento 15b degli amplificatori di rilevamento di lettura 15 e fornenti segnali di riferimento lettura S_{REFR} ; uscite di pilotaggio verifica 9c, collegate a rispettivi ingressi di pilotaggio 16a degli amplificatori di rilevamento di verifica 16 e fornenti segnali di pilotaggio verifica S_{DV} ; uscite di riferimento verifica 9d, collegate a rispettivi ingressi di riferimento 16b degli amplificatori di rilevamento di verifica 16 e fornenti segnali di riferimento verifica S_{REFV} ; e un'uscita di temporizzazione 9e, fornente un segnale di temporizzazione CK. In particolare, i segnali di pilotaggio verifica S_{DV} sono sincroni con il segnale di temporizzazione CK, mentre i segnali di pilotaggio lettura S_{DR} sono asincroni.

CERBARO Elena
Iscrizione Albo nr 426/BW

In pratica, ogni volta che viene richiesta un'operazione di lettura/scrittura il decodificatore di colonna di lettura 3 seleziona un gruppo di linee di bit globali di lettura 12 in base ai segnali di indirizzamento di terzo livello Y3 e le collega a un rispettivo amplificatore di lettura 15; analogamente, il decodificatore di colonna di verifica 4 seleziona un gruppo di linee di bit globali di verifica 13 in base ai segnali di indirizzamento di terzo livello Y3 e le collega a rispettivi amplificatori di rilevamento di verifica 16.

Come mostrato in dettaglio nella figura 2, oltre alle rispettive celle 7 e linee di bit locali 10, ogni banco di memoria 8 comprende una pluralità di decodificatori locali di primo livello 18, di decodificatori locali di secondo livello 19 e di selettori di lettura/scrittura, nel seguito denominati selettori R/W 20.

Ciascuno dei decodificatori locali di primo livello 18, di tipo in sé noto, presenta un pluralità di ingressi di selezione, collegati a rispettive linee di bit locali 10, e una pluralità di ingressi di controllo, formanti i primi ingressi di indirizzamento 2a della matrice di memoria 2; di conseguenza, ciascuno dei decodificatori locali di primo livello 18 riceve in ingresso i segnali di indirizzamento di primo livello Y1

CERBATO Elena
Albo nr 426/2004
Iscrizione



Ciascuno dei decodificatori locali di secondo livello 19, anch'essi di tipo in sé noto, presenta una pluralità di ingressi di selezione, collegati a uscite 18a di rispettivi decodificatori locali di primo livello 18, e una pluralità di ingressi di controllo, formanti i secondi ingressi di indirizzamento 2b della matrice di memoria 2; di conseguenza, ciascuno dei decodificatori locali di secondo livello 19 riceve in ingresso i segnali di indirizzamento di secondo livello Y2.

In pratica, in ogni banco di memoria 8 sono presenti una pluralità di rami di decodifica locale 23, ciascuno dei quali comprende un decodificatore locale di secondo livello 19 e le linee di bit locali 10 e i decodificatori locali di primo livello 18 afferenti a tale decodificatore locale di secondo livello 19. Ad ogni operazione di lettura/scrittura, ciascun ramo di decodifica locale 23 seleziona una linea di bit locale 10 in base ai valori dei segnali di indirizzamento di primo e secondo livello Y1, Y2.

Ciascun selettore R/W 20 ha un ingresso, collegato a un'uscita 19a di un rispettivo decodificatore locale di secondo livello 19; una prima uscita, collegata a una rispettiva linea di bit globale di lettura 12; una seconda uscita, collegata a una rispettiva linea di bit

globale di scrittura 12; e un terminale di controllo, collegato a un rispettivo ingresso di selezione lettura/scrittura 2c della matrice di memoria 2 e ricevente un rispettivo dei segnali di selezione lettura/scrittura $RWSEL_0, RWSEL_1, \dots, RWSEL_K$. I selettori R/W 20 sono quindi associati a rispettivi insiemi di celle 7 e sono controllabili individualmente e indipendentemente gli uni dagli altri.

Più in dettaglio, ogni selettore R/W 20 comprende preferibilmente un selettore di lettura 24 e un selettore di scrittura 25, ad esempio formati da transistori MOS. Il selettore di lettura 24 e il selettore di scrittura 25 di ciascun selettore R/W 20 hanno rispettivi primi terminali in comune, collegati all'uscita 19a del rispettivo decodificatore locale di secondo livello 19, e secondi terminali formanti la prima e, rispettivamente, la seconda uscita del selettore R/W 20 stesso. Inoltre, il selettore di lettura 24 e il selettore di scrittura 25 sono comandati in controfase in base al valore del rispettivo segnale di selezione lettura/scrittura $RWSEL_0, RWSEL_1, \dots, RWSEL_K$. In pratica, quando il segnale di selezione lettura/scrittura $RWSEL_0, RWSEL_1, \dots, RWSEL_K$ fornito a uno dei selettori R/W 20 assume un valore di lettura, ad esempio alto, il corrispondente selettore di lettura 24 è chiuso, mentre

il selettore di scrittura 25 è aperto; viceversa, quando il segnale di selezione lettura/scrittura $RWSEL_0$, $RWSEL_1$, ..., $RWSEL_K$ ha un valore di scrittura (basso), il selettore di lettura 24 è aperto e il selettore di scrittura 25 è chiuso. In questo modo, l'uscita 19a di ogni decodificatore locale di secondo livello 19 è alternativamente collegabile a una linea di bit globale di lettura 12 o a una linea di bit globale di verifica 13 attraverso il rispettivo selettore R/W 20, in base alla modalità operativa di accesso indicata dal rispettivo segnale di selezione lettura/scrittura $RWSEL_0$, $RWSEL_1$, ..., $RWSEL_K$.

Come accennato in precedenza, quando viene richiesta un'operazione di lettura/scrittura della matrice di memoria 2, i rami di decodifica locale 23 dei banchi di memoria 8 indirizzano ciascuno una rispettiva linea di bit locale 10 sulla base dei segnali di indirizzamento di primo e secondo livello Y_1 , Y_2 e la collegano al rispettivo selettore R/W 20. A sua volta, il selettore R/W 20 collega la rispettiva linea di bit locale 10 indirizzata (e le celle 7 associate) a una linea di bit globale di lettura 12 o a una linea di bit globale di verifica 13 in base al valore del rispettivo segnale di selezione lettura/scrittura $RWSEL_0$, $RWSEL_1$, ..., $RWSEL_K$.

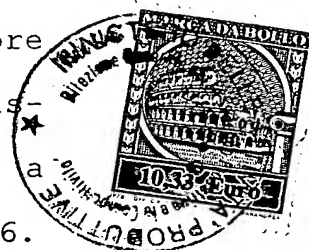
Più in dettaglio, quando occorre effettuare una

normale operazione di lettura delle celle 7 indirizzate da uno dei rami di decodifica locale 23, il corrispondente segnale di selezione lettura/scrittura $RWSEL_0$, $RWSEL_1$, ..., $RWSEL_k$ viene posto al valore di lettura. In questo caso, in pratica, le celle 7 indirizzate vengono collegate al decodificatore di colonna di lettura 3 attraverso le linee di bit globali di lettura 12; inoltre, in base ai segnali di indirizzamento di terzo livello Y3, il decodificatore di colonna di lettura 3 seleziona e collega un prefissato numero di linee di bit globali di lettura 12 a rispettivi amplificatori di rilevamento di lettura 15.

Quando le celle 7 indirizzate da uno dei rami di decodifica locale 23 devono essere verificate dopo una fase di programmazione o cancellazione, il corrispondente segnale di selezione lettura/scrittura $RWSEL_0$, $RWSEL_1$, ..., $RWSEL_k$ viene posto al valore di scrittura. Le celle 7 indirizzate vengono perciò collegate al decodificatore di colonna di verifica 4 attraverso le linee di bit globali di verifica 13; in base ai segnali di indirizzamento di terzo livello Y3, il decodificatore di colonna di verifica 4 seleziona e collega un prefissato numero di linee di bit globali di verifica 13 a rispettivi amplificatori di rilevamento di verifica 16.

Ad uno stesso istante, i segnali di selezione let-

CERBARO ELEVA
(iscrittura Albo nr 426/BM)



tura/scrittura $RWSEL_0, RWSEL_1, \dots, RWSEL_k$ possono chiaramente assumere valori diversi gli uni dagli altri e quindi operazioni di normale lettura o di verifica dopo scrittura sono del tutto indipendenti e possono essere eseguite simultaneamente.

Da quanto sopra descritto, è evidente che l'invenzione permette di sfruttare l'accesso simultaneo in lettura e scrittura in modo estremamente efficace e flessibile. Infatti, ciascun ramo di decodifica locale 23 può essere collegato tanto alle linee di bit globali di lettura 12, quanto alle linee di bit globali di verifica 13, indipendentemente dagli altri rami di decodifica locale 23. Di conseguenza, è sempre possibile accedere simultaneamente in lettura e scrittura a celle 7 appartenenti a rami di decodifica locale 23 distinti, anche se appartenenti allo stesso banco di memoria 8. Inoltre, le dimensioni complessive del dispositivo 1 sono contenute e sono sostanzialmente indipendenti dal livello di frazionamento della matrice di memoria 2. Infatti, il dispositivo di memoria 1 descritto comprende un solo banco di amplificatori di rilevamento di lettura 15 e solo un banco di amplificatori di rilevamento di verifica 16, qualunque sia il numero di banchi di memoria 8 e di rami di decodifica locale 23.

Una diversa forma di realizzazione dell'invenzione

CERBARO Elena
Iscrizione Albo nr 426/BAW

è mostrata in figura 3, dove parti uguali a quelle già mostrate sono indicate con gli stessi numeri di riferimento. In questo caso, in un dispositivo di memoria non volatile 1', ogni banco di memoria 8 è provvisto di un rispettivo ingresso di selezione lettura/scrittura 8a, a cui viene alimentato un rispettivo segnale di selezione lettura/scrittura RWSEL; inoltre, i terminali di controllo dei selettori R/W 20 di uno stesso banco di memoria 8 sono collegati tutti al suo ingresso di selezione lettura/scrittura 8a e quindi ricevono lo stesso segnale. Tutti i selettori R/W 20 di uno stesso banco di memoria 8 sono quindi controllati in fase. In questo modo, tutte le celle 7 indirizzate dai rami di decodifica locale 23 di uno stesso banco di memoria 8 vengono collegate o alle linee di bit globali di lettura 12, per un'operazione di lettura, o alle linee di bit globali di verifica 13, per un'operazione di verifica dopo scrittura. Tuttavia, mentre le linee di bit globali di lettura 12 sono utilizzate dalle celle 7 di un banco di memoria 8, le linee di bit globali di verifica 13 possono essere collegate a celle 7 appartenenti di un diverso banco di memoria 8 (ai banchi di memoria 8 vengono infatti alimentati segnali di selezione lettura/scrittura RWSEL indipendenti gli uni dagli altri).

Anche in questo caso, quindi, è vantaggiosamente

CERBARO Elena
Iscrizione Albo nr 426/BAW

possibile accedere simultaneamente in lettura e scrittura alla matrice di memoria 2, con il solo vincolo che le celle 7 da leggere e quelle da verificare appartengano a banchi di memoria 8 distinti. Dato che la matrice di memoria 2 può essere facilmente frazionata in un numero elevato di banchi di memoria 8 (sedici, negli esempi descritti), il dispositivo 1' mantiene comunque una notevole flessibilità nell'accesso simultaneo in lettura e scrittura. In altre parole, il "dual working" può essere sfruttato in modo efficiente. Inoltre, viene ridotto il numero di ingressi della matrice di memoria 2 e viene semplificata la generazione dei segnali di selezione lettura/scrittura.

Risulta infine evidente che al dispositivo di memoria descritto possono essere apportate modifiche e varianti, senza uscire dall'ambito della presente invenzione.

CERBARO ELEVA
Iscrizione Albo nr 426/BW

R I V E N D I C A Z I O N I

1. Dispositivo di memoria non volatile a lettura e scrittura simultanee, comprendente:

una matrice di memoria (2), avente una pluralità di celle (7) organizzate in banchi di memoria (8); e

una pluralità di primi amplificatori di rilevamento (15) e di secondi amplificatori di rilevamento (16);

caratterizzato dal fatto di comprendere una pluralità di selettori R/W (20), associati a rispettivi insiemi di dette celle (7) e colleganti dette celle (7) di detti rispettivi insiemi di dette celle (7) alternativamente a detti primi amplificatori di rilevamento (15) e a detti secondi amplificatori di rilevamento (16).

2. Dispositivo secondo la rivendicazione 1, caratterizzato dal fatto che ciascuno di detti banchi di memoria (8) comprende una rispettiva pluralità di detti selettori R/W (20).

3. Dispositivo secondo la rivendicazione 1 o 2, caratterizzato dal fatto che detti banchi di memoria (8) comprendono rispettivi rami di decodifica locale (23), ciascun ramo di decodifica locale (23) essendo collegato a un rispettivo di detti selettori R/W (20).

4. Dispositivo secondo la rivendicazione 3, caratterizzato dal fatto che ciascuno di detti rami di deco-

CERBARO Elettro
Iscrizione Albo nr 426/BW



difica locale (23) comprende almeno un primo decodificatore locale (18) e una pluralità di linee di bit locali (10), collegate a detto primo decodificatore locale (18).

5. Dispositivo secondo la rivendicazione 4, caratterizzato dal fatto che ciascuno di detti rami di decodifica locale (23) comprende una pluralità di detti primi decodificatori locali (18) e almeno un secondo decodificatore locale (19), collegato a detti primi decodificatori locali (18) e al rispettivo detto selettore R/W (20).

6. Dispositivo secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto che detti selettori R/W (20) sono controllabili indipendentemente gli uni dagli altri.

7. Dispositivo secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto che detti selettori R/W (20) appartenenti a uno stesso di detti banchi di memoria (8) sono controllati in fase.

8. Dispositivo secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto di comprendere prime linee di bit globali (12) e seconde linee di bit globali (13), colleganti detti selettori R/W (20) a detti primi amplificatori di rilevamento (15) e, rispettivamente, a detti secondi amplificatori di rile-

CERBARO Elena
Iscrizione Albo nr 426/BW

vamento (16).

9. Dispositivo secondo la rivendicazione 8, caratterizzato dal fatto che detti selettori R/W (20) hanno prime uscite collegate a rispettive dette prime linee di bit globali (12) e seconde uscite collegate a rispettive dette seconde linee di bit globali (13).

10. Dispositivo secondo la rivendicazione 8 o 9, caratterizzato dal fatto di comprendere un primo decodificatore di colonna (3), interposto fra dette prime linee di bit globali (12) e detti primi amplificatori di rilevamento (15), e un secondo decodificatore di colonna (4), interposto fra dette seconde linee di bit globali (13) e detti secondi amplificatori di rilevamento (16).

11. Dispositivo secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto di comprendere un'unità di controllo avente prime uscite (9a, 9b), collegate a detti primi amplificatori di rilevamento (15) e fornenti primi segnali di pilotaggio (S_{DR}) e primi segnali di riferimento (S_{REFR}), seconde uscite (9c, 9d), collegate a detti secondi amplificatori di rilevamento (16) e fornenti secondi segnali di pilotaggio (S_{DV}) e secondi segnali di riferimento (S_{REFR}), e una terza uscita (9e) fornente un segnale di temporizzazione (CK).

CERRARO BENE
Rivendicazione Albo nr 426/BW

12. Dispositivo secondo la rivendicazione 11, caratterizzato dal fatto che detti secondi segnali di pilotaggio (S_{DV}) sono sincroni con detto segnale di temporizzazione (CK).

13. Dispositivo di memoria non volatile a lettura e scrittura simultanee, sostanzialmente come descritto con riferimento alle figure annesse.

p.i.: STMICROELECTRONICS S.R.L.

Marco Lelli
CERBARO Elena
(iscrizione Albo nr 426/BW)

CERBARO Elena
(iscrizione Albo nr 426/BW)

 CAMERA DI COMMERCIO
INDUSTRIA ARTIGIANATO E AGRICOLTURA
DI TORINO

TO 2002A001035

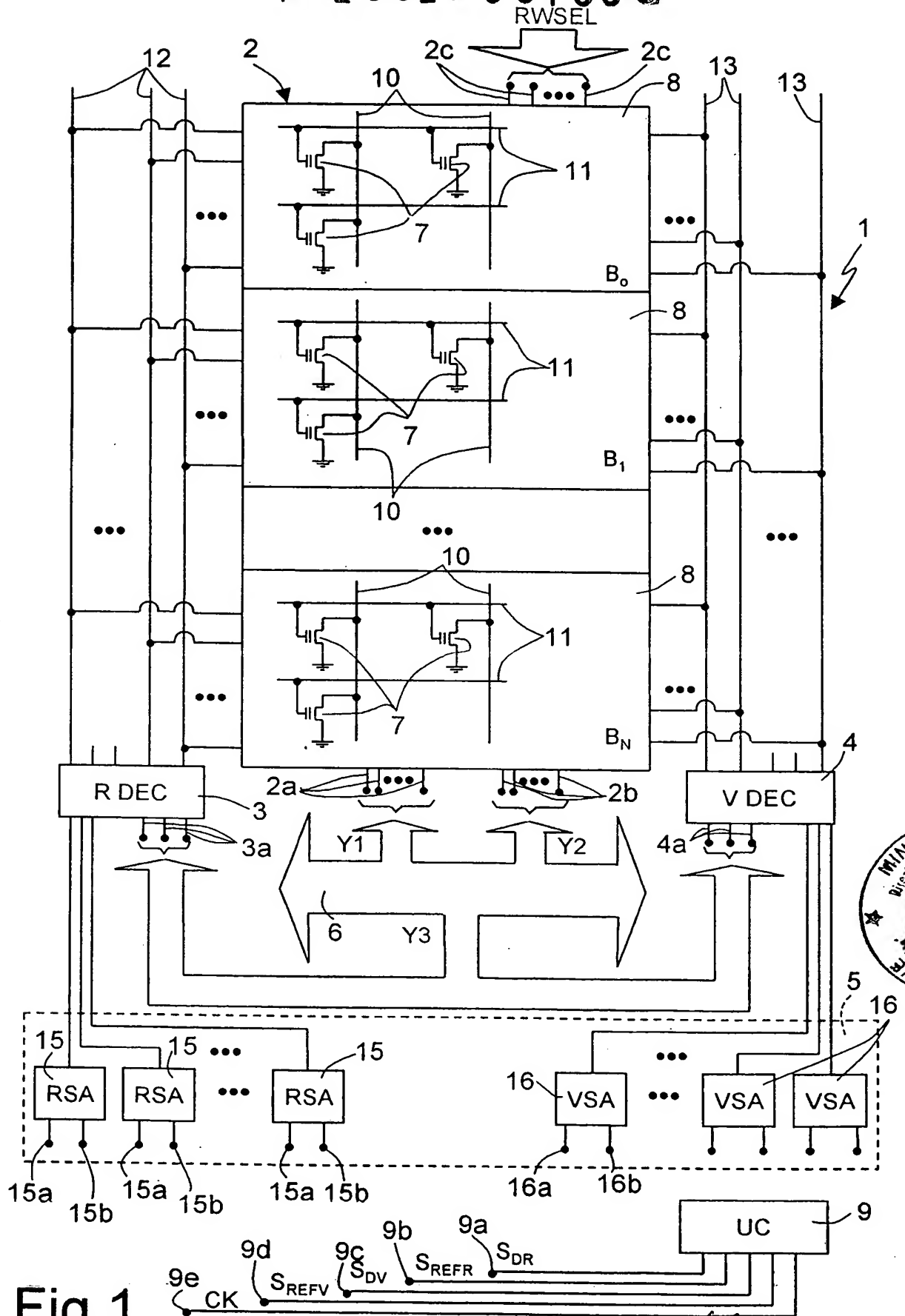


Fig. 1

p.i.: STMICROELECTRONICS S.R.L. CERBARO Elong

(iscrizione Albo nr 426/MA)

CAMERA DI COMMERCIO
INDUSTRIA ARTIGIANATO E AGRICOLTURA
DI TORINO

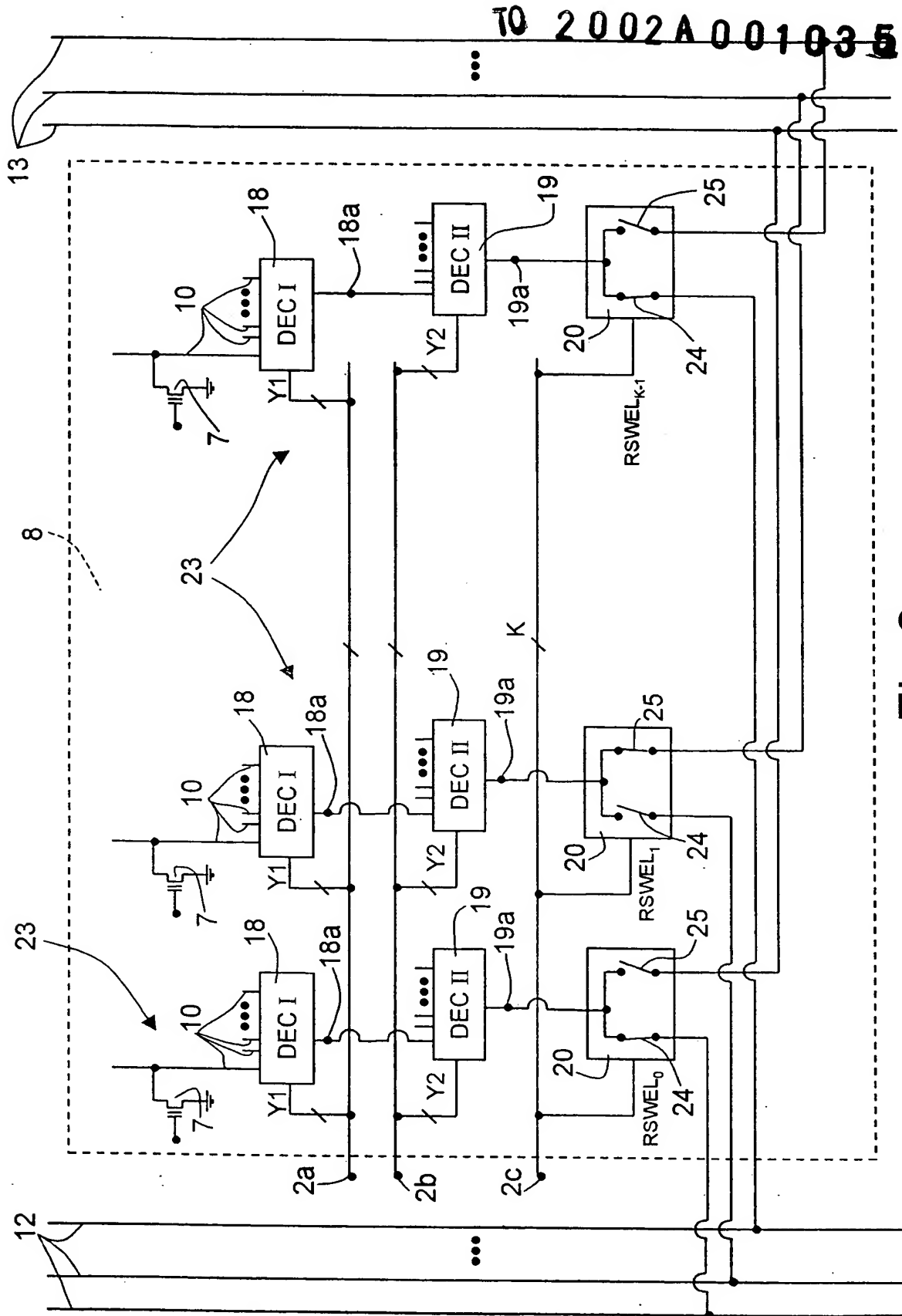


Fig.2

p.i.: STMICROELECTRONICS S.R.L.

CERARO Elva
Iscrizione Albo nr 426/BA

CAMERA DI COMMERCIO
INDUSTRIA ARTIGIANATO E AGRICOLTURA
DI TORINO

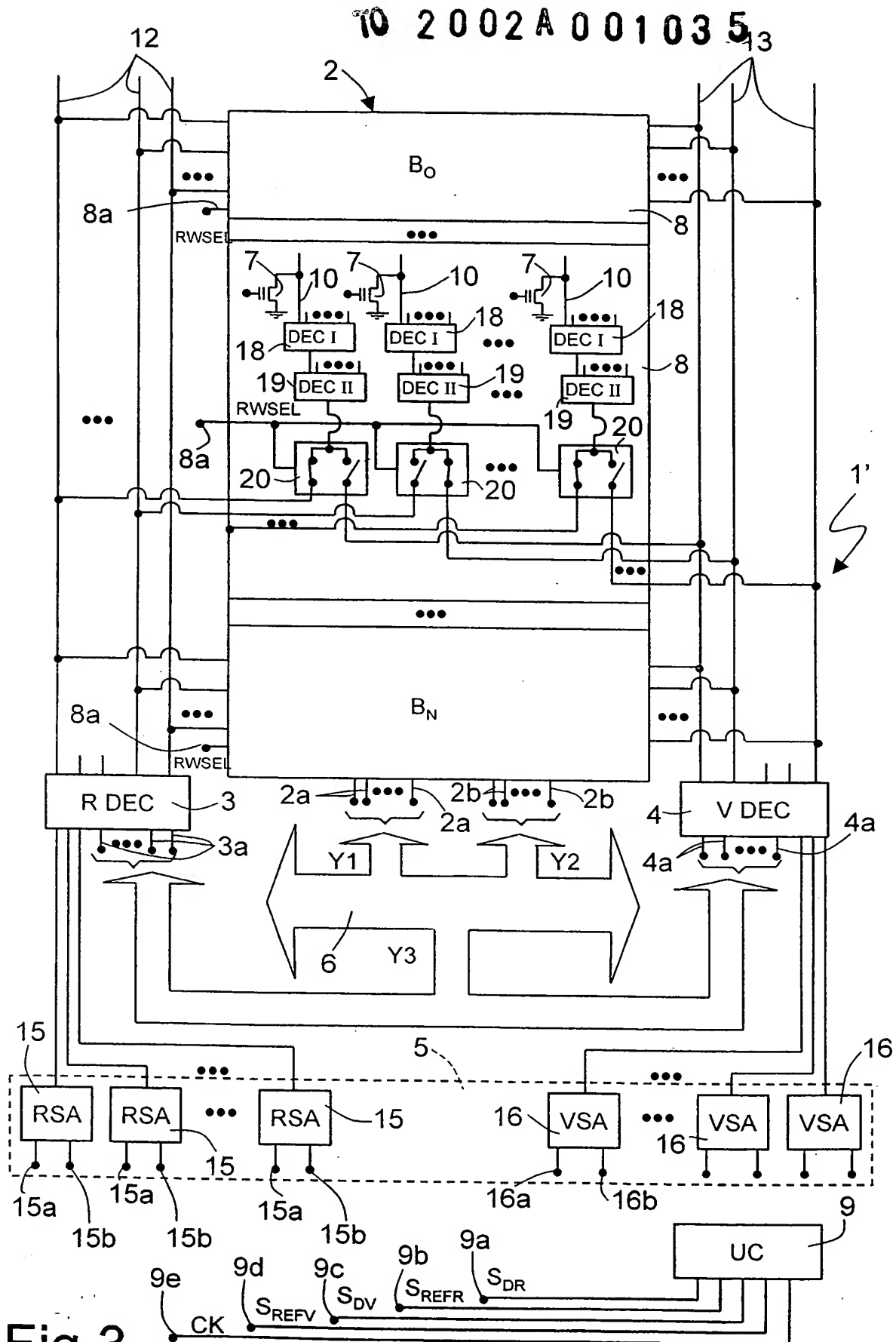


Fig.3